

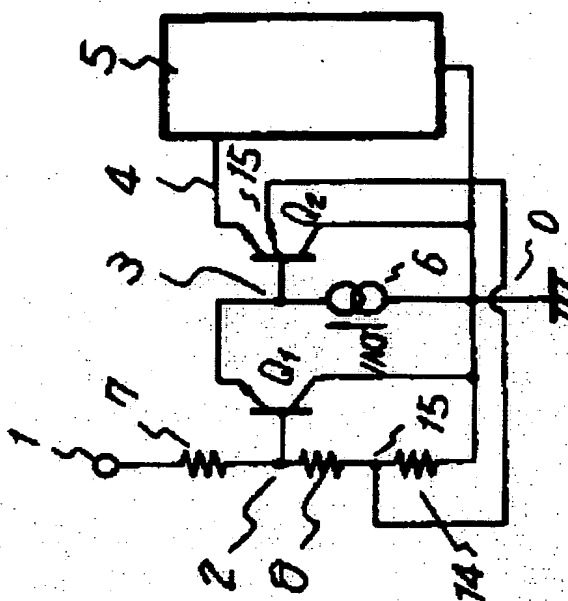
INTERFACE CIRCUIT

Patent number: JP58048523
Publication date: 1983-03-22
Inventor: HAYAKAWA TATSUO
Applicant: NIPPON DENKI KK
Classification:
- **International:** H03K5/01; H03K3/295; H03K19/092
- **European:**
Application number: JP19810147398 19810918
Priority number(s):

Abstract of JP58048523

PURPOSE: To avoid fluctuation of outputs due to noise around a threshold voltage, by selecting a hysteresis width with positive feedback greater than a noise voltage superimposed on an input signal.

CONSTITUTION: An emitter 15 of the 2nd fanout of an IIL transistor (TR) Q2 is positive-fed back to a node 15 of resistors 8, 14 inserted between the base and emitter of an IIL TRQ1. Thus, when an input signal at a input terminal 1 is at LOW level, since the TRQ1 turns off and the TRQ2 turns on, the node 15 is grounded. However, when the input signal is increased and the TRQ1 turns on and the TRQ2 turns off, the grounded node 15 is released and positive feedback is given. The width of hysteresis due to the positive feedback is selected larger than a noise voltage superimposed on the input signal.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

⑫ 特 許 公 報 (B 2)

平3-30323

⑬ Int. Cl. ⁸H 03 K 5/01
3/295
5/01
19/018

識別記号

C
C
G

庁内整理番号

8321-5 J
8626-5 J
8321-5 J

⑭公告 平成3年(1991)4月30日

8941-5 J H 03 K 19/092

発明の数 1 (全4頁)

⑮発明の名称 インターフェース回路

審 判 平1-5392

⑯特 願 昭56-147398

⑰公 開 昭58-48523

⑱出 願 昭56(1981)9月18日

⑲昭58(1983)3月22日

⑳発 明 者 早 川 達 夫 東京都港区芝五丁目33番1号 日本電気株式会社内

㉑出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

㉒代 理 人 弁理士 内 原 晋

審判の合議体 審判長 鈴木 康夫 審判官 今 野 朗 審判官 倉 地 保 幸

㉓参 考 文 献 特開 昭51-138375 (JP, A) 特開 昭50-105042 (JP, A)

1

2

㉔特許請求の範囲

1 第1のIILトランジスタの少くとも1つのコレクタが第2のIILトランジスタのベースに接続され、該第2のIILトランジスタの少くとも1つのコレクタ出力が前記第1のIILトランジスタのベース・エミッタ間に接続された第1、第2のインピーダンス素子の節点に帰還されており、入力信号は前記第1のIILトランジスタのベースへ第3のインピーダンス素子を通して加えられるとともに出力信号は前記第2のIILトランジスタの少くとも1つのコレクタから取り出されるようにしたことを特徴とするインターフェース回路。

発明の詳細な説明

本発明は、インターフェース回路に関する。

入力信号を波形整形した後にカウンタにより計数する機能は、タイマ回路、A/D変換器等に頻繁に用いられている。しかしながら入力信号にノイズを含んだり、又は、入力信号の立上り、立下りが極めて緩やかな場合には、波形整形回路出力がバタついたりして次段のカウンタが誤カウントし問題であった。

第1図は、従来の波形整形回路で入力端子1に入った信号をIILトランジスタ Q_1 、 Q_2 により整形しグルフリップフロップで構成されるカウンタ5により入力信号を計数する。7、8は抵抗であり、節点2はIILトランジスタ Q_1 のベースに接続

され、 Q_1 、 Q_2 のエミッタはGND端子Oに接続され、 Q_1 のコレクタは Q_2 のベースに節点3で接続されている。6はインジェクタ電流であり、 Q_2 のコレクタ出力4のON、OFF信号がカウンタ5によって計数される。第2図は整形の過程を示したもので左端の番号は、第1図の節点番号に対応している。又端子1、2のスレッシヨルド電圧をそれぞれ V_{TH1} 、 V_{TH2} で示す。次に入力信号にノイズが重畳する第3図の場合を考えると、端子1、2のスレッシヨルド電圧近辺のノイズにより Q_1 、 Q_2 の出力がバタつく(第3図、端子3、4)。従つて後続カウンタ5は、このバタついた信号をカウントして誤動作することになる。又、入力信号の立上り、立下り時間が極めて緩い第4図の場合は、 Q_1 のスレッシヨルド電圧近辺において Q_1 がONし始めると Q_1 のON電流がGND配線インピーダンス等に電位降下を引き起こし、これが為に Q_1 自身のベース入力端子に負帰還がかかる。この時点までに入力端子電圧がこの負帰還電圧を打消せるまで、上昇していないと第4図端子2、3、4に示すようにチャタリングを引き起こす。従つて後続カウンタ5は、このチャタリング信号をカウントしてしまう。これらを防ぐ為には、従来は、重畳ノイズに対しては、第5図に示すように入力端子の前に、抵抗R、コンデンサCのLOW PASSフィルターを入れて、このノ

3

イズを除去したり、又、緩い入力に対しては第6図に示すように入力端子に入る前にヒステリシスゲート又は、ヒステリシスコンパレータを入れて立上り立下がり時間を短くして急峻にする必要があつた。第5図で9, 10は、LOW PASSフィルタ用の抵抗とコンデンサ、第6図で13はヒステリシスゲート又はヒステリシスコンパレータ、11, 12は、信号入力端子その他の番号は第1図と同一である。このように従来は、外付け回路で対処していたので実装密度、コストが問題であつた。

本発明の目的は重畳ノイズ及び緩入力信号の対策をモノリシックIC内で極めて効果的に行うことのできるインターフェース回路を提供することにある。

本発明によれば第1のIILトランジスタの少なくとも1つのコレクタが第2のIILトランジスタのベースに接続されており、第2のIILトランジスタの少なくとも1つのコレクタ出力が第1のIILトランジスタのベースエミッタ間に接続された第1、第2のインピーダンス素子の節点に帰還されており、入力信号は第1のIILトランジスタのベースへ第3のインピーダンス素子を通して加えられるインターフェース回路が得られる。

第7図により本発明を説明する。

IILトランジスタ Q_2 の第2ファンアウトのコレクタ15がIILトランジスタ Q_1 のベース、エミッタ間に挿入された抵抗8, 14の節点15に正帰還されている。第8図に各端子波形図を示す。まず入力端子1の入力端子がLOWレベルの時、 Q_1 はOFFで Q_2 はONであるので節点15とGND間のインピーダンスは、ほとんど零である。抵抗7, 8, 14の抵抗値を R_7 , R_8 , R_{14} で表わすと入力端子1におけるスレッシヨルド電圧 V_{TH1} は、次式で表わされる。

$$V_{TH1} = V_{TH2} \times \left(\frac{R_7}{R_8} + 1 \right) \quad (1)$$

ここで V_{TH2} は、 Q_1 のスレッシヨルド電圧である。次に入力信号が徐々に上昇し端子2の電圧が V_{TH2} に達すると Q_1 がONし始め節点3の電位は、下がり Q_2 はOFFし始める。すると節点15とGND間のインピーダンスが大きくなるので節点2の電位は上昇し、 Q_1 に正帰還がかかる。 Q_1 はより深くONし Q_2 はより深くOFFし、この正帰還

4

により最終点には、 Q_1 は完全にOFFとなる。この状態での入力スレッシヨルド電圧 V_{TH1}' は、次のように表わされる。

$$V_{TH1}' = V_{TH2} \times \left(\frac{R_7}{R_8 + R_{14}} + 1 \right) \quad (2)$$

Q_1 がOFF、 Q_2 がONの状態の時のスレッシヨルド電圧 V_{TH1} との差電圧 ΔV_{TH1} は、次のようになる。

$$\Delta V_{TH1} = V_{TH1} - V_{TH1}' \quad (3)$$

$$= V_{TH2} \times \left(\frac{R_7}{R_8} - \frac{R_7}{R_8 + R_{14}} \right) \quad (4)$$

$R_{14} \ll R_8$ に選べば(4)式は、近似的に次のようになる。

$$\Delta V_{TH1} \approx V_{TH2} \times \frac{R_7}{R_8} \times \frac{R_{14}}{R_8} \quad (5)$$

上記ヒステリシス巾 ΔV_{TH1} を入力信号に重畳するノイズ電圧よりも大きく選べば従来のようにスレッシヨルド電圧付近のノイズにより出力がバタつくことは無い。第9図は、端子1の入力電圧 V_1 をX軸に、節点4電圧をY軸にとり表わした本発明の入出力特性である。

緩やかな立上り立下り入力信号に対しても本発明により前述したGND配線インピーダンス等による負帰還電位より大きなヒステリシス巾 ΔV_{TH} を与えれば従来のようなスレッシヨルド電圧付近のチャタリングは無くなる。又、スレッシヨルド電圧近辺では、 Q_1 , Q_2 の正帰還ループにより利得は、無限大となるので緩やかな立上り、立下り入力信号は、完全に整形されて後段カウンターにとって望ましい急峻な立上り、立下りをもつた方形波となる。このようにして従来必要とされていた外付けCR回路、ヒステリシスゲート又はヒステリシスコンパレータは不要となつたので回路実装密度コスト共に有利になつた。又、 I_L マルチコレクタ出力の1つから前段の入力に配線に戻すだけなのでICのチップ面積の増大は極少である。本発明の説明では Q_1 はP'Lとしたがもちろんこれは、通常の順方向トランジスタでも構わない。

図面の簡単な説明

第1図は従来のIILインターフェース回路を示す図、第2図は第1図の従回路の端子節点波形を示す図、第3図は、入力信号にノイズが重畳した場合の従回路の各端子節点波形を示す図、第4図は、立上り、立下りが極めて緩かな入力信号

5

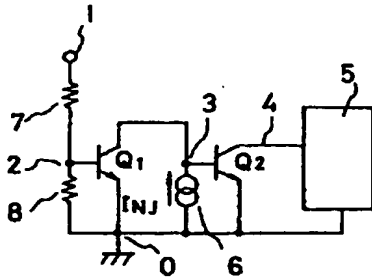
6

に対する従来回路の各端子波形を示す図、第5図はLOW PASSフィルターを付けた従来回路を示す図、第6図はヒステリシスゲート又は、ヒステリシスコンパレータを付けた従来回路を示す図、第7図は本発明のヒステリシスインターフェース

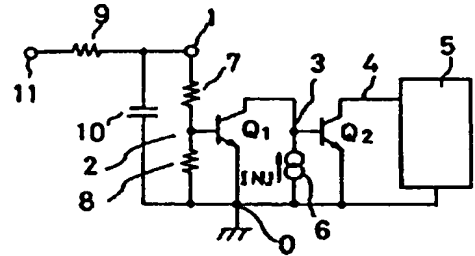
回路を示す図、第8図は入力信号にノイズが重畳した場合の本発明回路の各端子節点波形を示す図、第9図は、本発明回路の入出力特性を示す図である。

5 $Q_1, Q_2 \cdots \cdots$ IILトランジスタ。

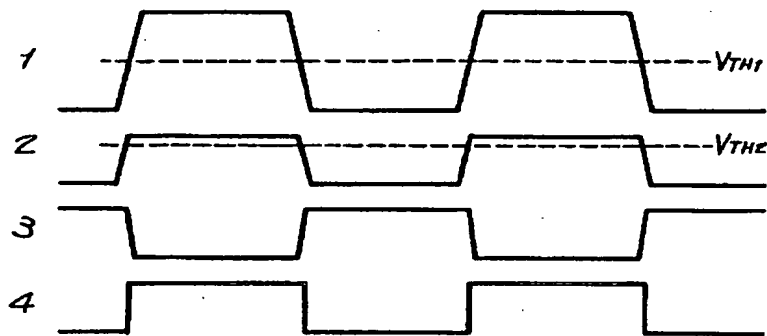
第1図



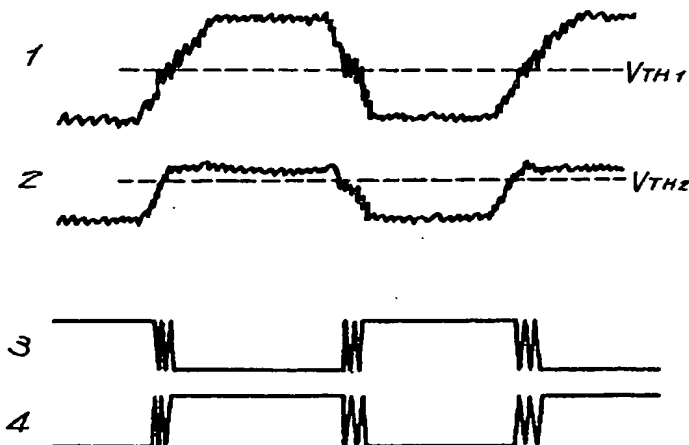
第5図



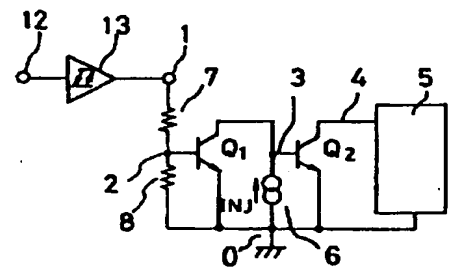
第2図



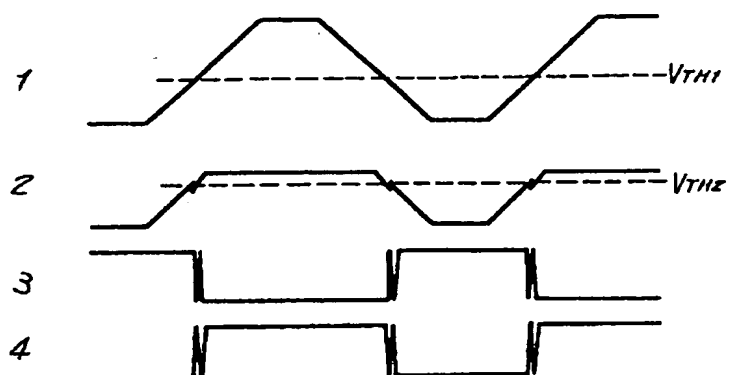
第3図



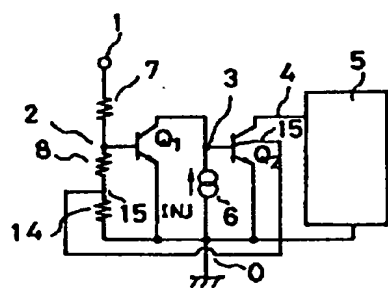
第6図



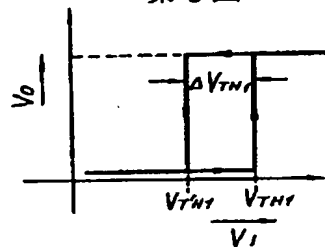
第 4 図



第 7 図



第 9 図



第 8 図

